

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Kazumasa KOBAYASHI

Application No.: NEW

Group Art Unit: Not Yet Assigned

Filed: March 11, 2004

Examiner: Not Yet Assigned

For: ELECTRONIC CIRCUIT DESIGN APPARATUS AND METHOD THEREOF

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-95724

Filed: March 31, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 11, 2004

By: 

J. Randall Beckers
Registration No. 30,358

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: March 31, 2003

Application Number: Patent Application
No. 2003-095724

[ST.10/C]: [JP2003-095724]

Applicant(s): FUJITSU LIMITED

December 9, 2003

Commissioner,
Japan Patent Office Yasuo IMAI

Certificate No. P2003-3101651

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:

出願番号 特願2003-095724
Application Number:
[ST. 10/C]: [JP 2003-095724]

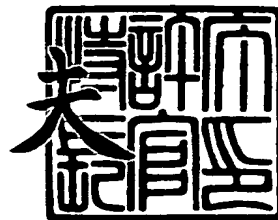
出願人 富士通株式会社
Applicant(s):



2003年12月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3101651

【書類名】 特許願

【整理番号】 0350730

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 電子回路設計装置および方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 小林 一匡

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 5 - 2 8 - 5 0 3

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路設計装置および方法

【特許請求の範囲】

【請求項 1】 画面上で電子回路の設計を行う電子回路設計装置であって、各部品の外形情報を格納する格納手段と、前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示する指示手段と、前記複数の部品の外形情報を前記格納手段から取得し、取得した外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算する計算手段と、計算された部品領域の外形を前記画面上に表示する表示手段とを備えることを特徴とする電子回路設計装置。

【請求項 2】 画面上で電子回路の設計を行うコンピュータのためのプログラムを記録した記録媒体であって、該プログラムは、前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示し、前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、計算された部品領域の外形を前記画面上に表示する処理を前記コンピュータに実行させることを特徴とするコンピュータ読み取り可能な記録媒体。

【請求項 3】 前記プログラムは、変形すべき部品領域を指示し、指示された部品領域を変形して表示する処理を、前記コンピュータにさらに実行させることを特徴とする請求項 2 記載の記録媒体。

【請求項 4】 前記プログラムは、前記電子回路内に別々に配置された複数の部品を指示し、指示された複数の部品をまとめて部品領域として表示する処理を、前記コンピュータにさらに実行させることを特徴とする請求項 2 記載の記録媒体。

【請求項 5】 画面上で電子回路の設計を行う電子回路設計方法であって、

前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示し、

前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、

計算された部品領域の外形を前記画面上に表示することを特徴とする電子回路設計方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、大規模集積回路（L S I）、マルチチップモジュール（MCM）、プリント回路基板（P C B）等の電子回路を設計するための電子回路設計装置および方法、コンピュータにそのような電子回路の設計を行わせるコンピュータプログラム、およびそのようなコンピュータプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0 0 0 2】

【従来の技術】

C A D（Computer Aided Design）により電子回路を設計する場合、設計手順には、回路の概略配置および概略配線を行って設計制約条件を決定する第1のステップと、回路に論理設計を挿入する第2のステップと、回路の配置や配線を編集する第3のステップとが含まれる。

【0 0 0 3】

従来は、第1のステップにおいて使用する部品の概略の配置検討を行う場合、設計者が配置すべき部品の形状を定義し、1つずつ部品を配置して検討していた。また、第3のステップにおける配置検討の方法としては、配置領域を機能毎等に区画分けして、区画に分けられた各領域毎に部品の配置検討を行う方法が用いられていた（例えば、特許文献1参照）。さらに、第3のステップにおける自動配置の方法としては、まず部品を仮配置し、仮配置した部品を機能毎等にグループ分けして、各グループ内で詳細な配置を行う方法が用いられていた（例えば、特許文献2参照）。

【0004】**【特許文献1】**

特開平8-255185号公報

【特許文献2】

特開平4-363767号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、上述した従来の電子回路設計方法には、次のような問題がある

。

【0006】

第1のステップにおける配置検討は概略の検討であり、配置する部品のおよその配置位置および占有面積の把握を目的としている。このような概略の検討であるにもかかわらず、従来の部品を1つずつ配置する方法では、設計者の手作業により、検討に必要な部品の形状を1つずつ定義して配置する必要があり、検討期間が増大してしまうという問題がある。

【0007】

また、第3のステップにおける配置検討の方法を仮に第1のステップに適用したとしても、各区画内に部品を実際に配置するまでは、部品の占有面積が把握できないため、結局は部品を1つずつ配置する必要がある。このため、この方法は第1のステップの検討期間を短縮するための有効な方法ではない。

【0008】

さらに、第3のステップにおける自動配置の方法を仮に第1のステップに適用したとしても、まず検討に必要な部品の形状を1つずつ定義してから配置する必要がある。このため、この方法も第1のステップの検討期間を短縮するための有効な方法ではない。

【0009】

本発明の課題は、電子回路における概略部品配置の検討期間を短縮するための電子回路設計装置およびその方法を提供することである。

【0010】

【課題を解決するための手段】

図1は、本発明の電子回路設計装置の原理図である。図1の電子回路設計装置は、格納手段11、指示手段12、計算手段13、および表示手段14を備え、画面上で電子回路の設計を行う。

【0011】

格納手段11は、各部品の外形情報を格納し、指示手段12は、電子回路内にまとめて配置すべき複数の部品と、それらの部品の配置間隔を指示する。計算手段13は、それらの部品の外形情報を格納手段11から取得し、取得した外形情報と指示された配置間隔を用いて、それらの部品をまとめて配置する部品領域の外形を計算する。そして、表示手段14は、計算された部品領域の外形を画面上に表示する。

【0012】

このような電子回路設計装置によれば、複数の部品をまとめて1つの領域として電子回路内に配置し、画面上に表示する操作が可能となる。これにより、個々に部品を配置することなく、配置すべき部品のおよその配置位置および占有面積の把握が可能となり、概略部品配置の検討期間を短縮することができる。

【0013】

格納手段11は、例えば、後述する図3のハードディスクドライブ204に対応し、指示手段12は、例えば、図3のキーボード103およびマウス104に対応する。また、計算手段13は、例えば、図3のCPU（中央処理装置）201およびメモリ部202に対応し、表示手段14は、例えば、図3のディスプレイ102に対応する。

【0014】**【発明の実施の形態】**

以下、図面を参照しながら、本発明の実施の形態を詳細に説明する。

本実施形態では、第1のステップにおける概略部品配置の方法として、部品の概略サイズや配置間隔を考慮して、複数の部品を1つの領域として配置する。これにより、多数の部品を効率よく配置することが可能となり、概略部品配置の検討期間を短縮することができる。

【0015】

また、他の部品との相対的な位置関係を考慮した領域の生成や、領域の変形、結合、および分割を行う機能を設けることで、領域を用いた部品配置検討を効果的に行うことができる。

【0016】

さらに、領域に対して部品の特性値等の属性情報を持たせることにより、設計制約条件の検討に有効な方法の1つである、伝送波形、電波、熱、コスト等のシミュレーションを行うことが可能となる。

【0017】

本実施形態の電子回路設計装置は、CADによりディスプレイ上で電子回路の設計を行うための装置であり、例えば、図2に示すようなコンピュータシステムにより構成される。

【0018】

図2のコンピュータシステム100は、CPU（中央処理装置）やディスクドライブ等を内蔵した本体部101、本体部101からの指示により表示画面102a上に画像を表示するディスプレイ102、コンピュータシステム100に種々の情報を入力するためのキーボード103、ディスプレイ102の表示画面102a上の任意の位置を指定するマウス104、および外部のデータベース等にアクセスして他のコンピュータシステムに記憶されているコンピュータプログラムやデータをダウンロードするモデム105を有する。

【0019】

ディスク110等の可搬記録媒体に格納されるか、あるいはモデム105等の通信装置により他のコンピュータシステムの記録媒体106からダウンロードされる、コンピュータプログラム（電子回路設計ソフトウェア）は、コンピュータシステム100に入力されてコンパイルされ、コンピュータシステム100に電子回路設計処理を実行させる。

【0020】

このようなプログラムを記録するために用いられる記録媒体には、ディスク110、IC（integrated circuit）カードメモリ、フレキシブルディスク、光

磁気ディスク、CD-ROM (compact disk read only memory) 等の可搬記憶媒体の他に、モデム 105 や LAN (local area network) 等の通信装置を介して接続された、コンピュータシステム 100 がアクセス可能な各種記録媒体が含まれる。

【0021】

図3は、コンピュータシステム 100 の本体部 101 内の要部の構成を示すブロック図である。図3の本体部 101 は、バス 200 により接続された CPU 201、RAM (random access memory) や ROM (read only memory) 等からなるメモリ部 202、ディスク 110 用のディスクドライブ 203、およびハードディスクドライブ (HDD) 204 からなる。

【0022】

図3において、ディスプレイ 102、キーボード 103、およびマウス 104 は、バス 200 を介して CPU 201 に接続されているが、これらを直接 CPU 201 に接続してもよい。また、ディスプレイ 102 は、入出力画像データの処理を行う周知のグラフィックインタフェース (不図示) を介して、CPU 201 に接続されていてもよい。なお、コンピュータシステム 100 の構成は、図2および図3に示す構成に限定されるものではなく、代わりに各種周知の構成を使用してもよい。

【0023】

図4は、コンピュータシステム 100 により構成される電子回路設計装置に搭載される電子回路設計ソフトウェアの構成図である。図4の電子回路設計ソフトウェアは、概略フロアプランナ 301、回路エディタ 302、および配置・配線エディタ 303 からなり、これらのプログラムは、それぞれ、前述した第1、第2、および第3のステップの設計を支援する。

【0024】

概略フロアプランナ 301 は、部品および配置に関する概略配置・配線情報 304 を読み込み、概略配置および概略配線を行って、その結果を画面表示する。概略配置・配線情報 304 には、ユーザが登録した基板外形や部品外形 (簡易的な形状) に関する概略情報や、ユーザが定義した部品搭載位置の情報が含まれる

。部品外形としては、例えば、部品の外接矩形が用いられ、その外接矩形の縦横の長さ（サイズ）が概略情報として登録される。概略配置・配線情報 304 は、例えば、図 3 のハードディスクドライブ 204 に格納される。

【0025】

表示された概略配置・配線をユーザが承認すると、概略フロアプランナ 301 は回路情報 311（ネットリスト等）と設計制約条件 312（配置された部品の位置座標、配線幅等）を出力する。

【0026】

次に、回路エディタ 302 は、回路情報 311 と設計制約条件 312 を用いて論理設計を行い、回路論理を加味した回路情報 313 と設計制約条件 314 を出力する。ここで、設計変更が必要になった場合は、回路エディタ 302 から概略フロアプランナ 301 に回路情報 311 が差し戻され、再び概略配置および概略配線が行われる。

【0027】

次に、配置・配線エディタ 303 は、回路情報 313 と設計制約条件 314 に基づいて回路の配置や配線を編集する。ここで、設計変更が必要になった場合は、配置・配線エディタ 303 から回路エディタ 302 に回路情報 313 が差し戻され、再び論理設計が行われる。

【0028】

図 5 は、概略フロアプランナ 301 を用いて、表示された基板上に部品を配置している状態を示す。従来の概略配置では、このように、各部品について部品外形 402 を定義して、基板外形 401 内に部品外形 402 を 1 つずつ配置していた。図 5 の例では、素子 A、B、C、D、および E の 5 種類の部品が用いられており、素子 A および B は 1 個ずつ、素子 C は 2 個、素子 D および E は 3 個ずつ配置されている。

【0029】

これに対して、素子 C、D、および E の 3 種類を最初から 1 つの部品領域としてまとめて配置すると、画面表示は図 6 のようになる。このような機能を用いれば、基板外形 501 内に部品外形 402 を 1 つずつ配置する操作に加え、複数の

部品を部品領域 503 のようにまとめて配置し、領域表示する操作が可能となる。

【0030】

図7は、このような領域配置処理のフローチャートである。まず、ユーザは、概略フロアプランナ 301 に対して領域に含める部品の種類を指示し（ステップ 601）、その部品の個数を指示する（ステップ 602）。

【0031】

次に、ユーザはその領域に部品をさらに追加するか否かを指示し（ステップ 603）、さらに部品を追加する場合は、ステップ 601 以降の処理を繰り返す。そして、領域に含めたいすべての部品を追加し終わると、次に、部品の配置間隔を指示する（ステップ 604）。ここでは、各部品毎に異なる配置間隔を指定してもよく、すべての部品に共通の配置間隔を指定してもよい。

【0032】

次に、概略フロアプランナ 301 は、領域に含める部品の部品外形と指示された配置間隔から領域外形を計算する（ステップ 605）。例えば、図6の部品領域 503 の場合、次式により領域外形が計算される。

部品領域の横の長さ＝素子Cの外形の横の長さ

部品領域の縦の長さ

＝（素子Cの外形の縦の長さ）×2＋（素子Dの外形の縦の長さ）＋
（素子Eの外形の縦の長さ）＋縦の部品間隔×3

次に、ユーザが領域を配置する位置をマウスで指示する（ステップ 606）と、概略フロアプランナ 301 は、指示された位置に領域を表示する（ステップ 607）。領域配置位置の指定方法としては、領域内および輪郭上の任意の基準点（例えば、領域外形の頂点）を定義しておき、ユーザがマウスで指示した位置を基準点の位置として用いることが考えられる。

【0033】

このような領域配置処理によれば、第1のステップにおける配置検討において

、配置すべき一群の部品を 1 つの領域として簡単に配置することができ、第 1 のステップにおける概略配置の検討期間が短縮される。また、配置検討に用いるデータを簡略化することにより、部品を個々に配置する方法に比べて必要なデータ量を削減することが可能となる。

【 0 0 3 4 】

また、ユーザは表示された領域を自由に変形することも可能である。図 8 は、領域の Y 方向（縦方向）のサイズを変更して領域を変形する操作を示している。図 8 の部品領域 7 0 1 において、ユーザが領域の変形を指示すると、指示されたサイズをもとに領域外形が再計算され、部品領域 7 0 2 が表示される。

【 0 0 3 5 】

図 9 は、このような領域変形処理のフローチャートである。まず、ユーザは、変形すべき部品領域を指示し（ステップ 8 0 1）、その領域の伸縮方向を選択する（ステップ 8 0 2）。

【 0 0 3 6 】

X 方向を選択した場合、ユーザは、変形後の X 方向のサイズ（領域の縦の長さ）を指示する（ステップ 8 0 3）。この場合、概略フロアプランナ 3 0 1 は、現在の領域外形、部品の部品外形、配置間隔、および変形後の X 方向のサイズから、変形後の Y 方向のサイズを計算する（ステップ 8 0 4）。

【 0 0 3 7 】

また、Y 方向を選択した場合、ユーザは、変形後の Y 方向のサイズ（領域の縦の長さ）を指示する（ステップ 8 0 5）。この場合、概略フロアプランナ 3 0 1 は、現在の領域外形、部品の部品外形、配置間隔、および変形後の Y 方向のサイズから、変形後の X 方向のサイズを計算する（ステップ 8 0 6）。

【 0 0 3 8 】

そして、概略フロアプランナ 3 0 1 は、計算された変形後のサイズで領域を表示する（ステップ 8 0 7）。

図 8 では、X 方向のサイズの短縮が指示されているため、部品領域 7 0 1 に含まれる部品がもれなく収まるように Y 方向のサイズが伸長され、部品領域 7 0 2 が生成される。

【 0 0 3 9 】

なお、ステップ 8 0 3 において、X 方向のサイズの代わりに X 方向の伸縮量を指示してもよく、ステップ 8 0 5 において、Y 方向のサイズの代わりに Y 方向の伸縮量を指示してもよい。また、ステップ 8 0 4 および 8 0 6 において、変形前の部品領域の面積と変形後の部品領域の面積が等しくなるように、変形後のサイズを決定してもよい。

【 0 0 4 0 】

また、ユーザは、表示された領域に対して、部品の特性値等の属性情報を設定することも可能である。図 1 0 は、図 6 の部品領域 5 0 3 に対して設定された属性情報の例を示している。この例では、領域に含まれる各部品の種類（素子名：コンデンサ）および特性値（キャパシタンス）が、属性情報として設定されている。部品の種類が抵抗の場合は特性値として抵抗値が設定され、部品の種類がインダクタの場合は特性値としてインダクタンスが設定される。

【 0 0 4 1 】

このように、領域に含まれる各部品の種類および特性値を属性情報として設定しておけば、伝送波形や電波のシミュレーションを行うことができ、シミュレーション結果を考慮した配置検討が可能となる。

【 0 0 4 2 】

さらに、領域に含まれる各部品の発熱量を属性情報として設定しておけば、熱のシミュレーションを行うことができ、領域に含まれる各部品の価格を属性情報として設定しておけば、コストのシミュレーションを行うことができる。

【 0 0 4 3 】

図 1 1 は、領域内の部品に属性情報を設定する属性設定処理のフローチャートである。まず、ユーザは、概略フロアプランナ 3 0 1 に対して、属性情報を設定すべき部品が含まれている領域を指示し（ステップ 1 0 0 1）、その領域内で属性情報を設定すべき部品を指示する（ステップ 1 0 0 2）。そして、概略フロアプランナ 3 0 1 は、ユーザの指示に基づき、その部品の属性情報を設定する（ステップ 1 0 0 3）。

【 0 0 4 4 】

次に、ユーザはその領域内の他の部品の属性情報を設定するか否かを指示し（ステップ 1 0 0 4）、他の部品の属性情報を設定する場合は、ステップ 1 0 0 2 以降の処理を繰り返す。そして、必要な部品の属性情報を設定し終わると、処理を終了する。

【 0 0 4 5 】

また、概略フロアプランナ 3 0 1 は、領域として表示されている部品群を個々の部品に置き換えて、別々に表示することも可能である。図 1 2 は、領域を個々の部品に分割して表示する操作を示している。図 7 の処理により配置された部品領域 1 1 0 1 の分割表示を指示すると、領域内の部品群は、部品外形 1 1 0 2 のように、個々の部品に分割された状態で表示される。

【 0 0 4 6 】

図 1 3 は、このような領域分割処理のフローチャートである。まず、ユーザは、概略フロアプランナ 3 0 1 に対して、分割すべき領域を指示し（ステップ 1 2 0 1）、その領域内のすべての部品を分割して表示するか否かを指示する（ステップ 1 2 0 2）。

【 0 0 4 7 】

ユーザが領域内のすべての部品を分割する旨を指示した場合、概略フロアプランナ 3 0 1 は、領域内のすべての部品を分割して個々の部品外形を表示する（ステップ 1 2 0 3）。

【 0 0 4 8 】

領域内の一部の部品を分割する場合、ユーザは、分割して表示すべき部品を指示し（ステップ 1 2 0 4）、概略フロアプランナ 3 0 1 は、指示された部品を領域から分離して、その部品外形を表示する。

【 0 0 4 9 】

次に、ユーザは、分割して表示すべき他の部品を指示するか否かを選択し（ステップ 1 2 0 6）、他の部品を指示する場合には、ステップ 1 2 0 4 以降の処理を繰り返す。そして、ユーザが他の部品を指示しない旨を選択すると、概略フロアプランナ 3 0 1 は、領域内に残された部品をまとめて領域表示する（ステップ 1 2 0 7）。領域外形の計算方法については、図 7 のステップ 6 0 5 と同様であ

る。

【0050】

また、概略フロアプランナ301は、個々に配置された複数の部品をまとめて1つの領域として表示することも可能である。図14は、既に配置されている部品を指示して領域表示する操作を示している。図14の素子C、D、およびEの部品の部品外形1301に対して領域化を指示すると、部品領域1302のように、指示された複数の部品が1つの領域として表示される。

【0051】

図15は、指示された部品を領域表示する処理のフローチャートである。まず、ユーザは、領域表示すべき部品を指示し（ステップ1401）、領域表示すべきすべての部品を指示したか否かを判断し（ステップ1402）、他の部品を指示する場合は、ステップ1401以降の処理を繰り返す。

【0052】

そして、ユーザがすべての部品を指示した旨を入力すると、概略フロアプランナ301は、指示された部品をまとめて領域表示する。領域外形の計算方法については、図7のステップ605と同様である。

【0053】

また、ユーザは表示された領域を複数の領域に分割することも可能である。図16は、領域を2つの領域に分割して表示する操作を示している。図16の部品領域1501に対して分割指示を行うと、この部品領域1501は部品領域1502と部品領域1503に分割されて表示される。部品領域1502は、1個の素子Cと3個の素子Dを含み、部品領域1503は、1個の素子Cと3個の素子Eを含んでいる。

【0054】

図17は、このような領域分割処理のフローチャートである。まず、ユーザは、分割表示すべき領域を指示し（ステップ1601）、一方の領域に含める部品を指示する（ステップ1602）。次に、その領域に含めるすべての部品を指示したか否かを判断し（ステップ1603）、さらに部品を指示する場合には、ステップ1602以降の処理を繰り返す。

【0055】

そして、ユーザが一方の領域に含めるすべての部品を指示した旨を入力すると、概略フロアプランナ301は、指示された部品をまとめて領域表示し（ステップ1604）、残りの部品をまとめて領域表示する（ステップ1605）。ステップ1604およびステップ1605における領域外形の計算方法については、図7のステップ605と同様である。

【0056】

また、ユーザは表示された複数の領域を1つの領域に統合することも可能である。図18は、2つの領域を結合して表示する操作を示している。図18の部品領域1701および部品領域1702に対して結合指示を行うと、これらの部品領域が結合され、1つの部品領域1703として表示される。

【0057】

図19は、このような領域結合処理のフローチャートである。まず、ユーザは、結合表示すべき複数の領域を指示し（ステップ1801）、結合表示すべきすべての領域を指示したか否かを判断する（ステップ1802）。さらに領域を指示する場合には、ステップ1801以降の処理を繰り返す。

【0058】

そして、ユーザがすべての領域を指示した旨を入力すると、概略フロアプランナ301は、指示された領域をまとめて領域表示する（ステップ1803）。ここでは、指示された各領域の領域外形を部品外形の代わりに用いて、図7のステップ605と同様の方法により、新たな領域外形が計算される。

【0059】

また、概略フロアプランナ301は、周りの部品との相対的な位置関係を考慮して領域表示を行うことも可能である。図20から図26までは、1種類の複数の部品を正方形の基準部品の周りに配置する場合の領域表示の例を示している。なお、領域に含める部品の種類は複数種類でもよく、基準部品の形状は正方形に限らず、他の形状でもよい。

【0060】

図27は、基準部品の周囲に沿って領域を表示する処理のフローチャートであ

る。まず、ユーザは、領域に含める部品の種類、個数 M 、配置間隔 G を指示し（ステップ2001）、配置済みの部品のうち基準とする部品を指示する（ステップ2002）。図20では、部品の種類として素子Cが指定され、個数 M として50個が指定され、配置間隔 G として2mmが指定されている。また、図21では、基準部品として素子Bが指定されている。

【0061】

次に、概略フロアプランナ301は、部品外形を参照しながら、基準部品の1辺に指示された配置間隔で配置可能な、指示された部品の最大個数を計算する（ステップ2003）。具体的には、領域に含める部品の幅を W として次式を満たすような N の最大値が求められ、得られた最大値が N として保存される。

$$\text{基準部品の幅} \geq W \times N + G \times (N - 1)$$

次に、基準部品の周りに配置可能な個数（ $N \times 4$ ）が指示された個数 M 以上であるか否かを判定する（ステップ2004）。 $M > N \times 4$ であれば、指示された条件では領域表示が不可能であると判断し（ステップ2005）、処理を終了する。

【0062】

$M \leq N \times 4$ であれば、領域生成の初期条件として、領域生成開始位置、領域生成方向、および基準部品との間隔をユーザに問い合わせる（ステップ2006）。図22では、領域生成開始位置として座標（50, 50）が指示され、領域生成方向として時計回りが指示され、基準部品との間隔として10mmが指示されている。

【0063】

ユーザが領域生成の初期条件を指示すると、概略フロアプランナ301は、領域生成開始位置から領域生成方向に向かって基準部品の端までの範囲で、領域として配置可能な部品の最大個数を計算する（ステップ2007）。具体的には、次式を満たすような N_0 の最大値が求められ、得られた最大値が N_0 として保存される。

領域生成開始位置から領域生成方向に向かって基準部品の端までの長さ \geq
 $W \times N0 + G \times (N0 - 1)$

次に、領域表示に必要な幅を計算し、得られた幅で領域を表示する（ステップ 2008）。具体的には、得られた $N0$ と指示された個数 M のうち小さい方の値を表す $\text{Min}(N0, M)$ を用いて、次式により領域幅を求める。

$$\text{領域幅} = W \times \text{Min}(N0, M) + G \times (\text{Min}(N0, M) - 1)$$

図 23 は、 M が $N0$ 以上である場合の表示例を示している。この場合、領域生成開始位置から基準部品の端までの長さに近い値を領域幅として用いて、部品領域 1901 が表示される。

【0064】

次に、 M が $N0$ より大きいかな否かを判定し（ステップ 2009）、 $M \leq N0$ であれば、指示された個数 M の部品はステップ 2008 ですべて領域として表示されたので、処理を終了する。

【0065】

$M > N0$ であれば、まだ表示されていない部品が残っているので、追加の領域表示を行う（ステップ 2010～2012）。まず、領域生成開始位置を基準部品の領域生成方向の隣り合う辺の端に移動する（ステップ 2010）。図 24 では、×印で示される位置が移動後の開始位置に対応する。

【0066】

次に、領域表示に必要な幅を計算し、得られた幅で領域を表示する（ステップ 2011）。ここでは、ステップ 2003 で求めた最大個数 N と、まだ領域表示されていない部品の個数（ $M - \text{領域表示済みの部品の個数}$ ）のうち、小さい方の値を表す $\text{Min}(N, (M - \text{領域表示済みの部品の個数}))$ を用いて、次式により領域幅を求める。

$$\text{領域幅} = W \times \text{Min}(N, (M - \text{領域表示済みの部品の個数})) + \\ G \times (\text{Min}(N, (M - \text{領域表示済みの部品の個数})) - 1)$$

図 24 では、移動後の領域生成開始位置から基準部品の端までの長さ（基準部品の 1 辺の長さ）に近い値を領域幅として用いて、部品領域 1902 が表示されている。

【0067】

次に、領域表示済みの部品の個数が M に達したか否かを判定し（ステップ 2012）、領域表示済みの部品の個数が M に達していなければ、ステップ 2010 以降の処理を繰り返す。そして、M 個の部品すべてを表示し終わると、処理を終了する。

【0068】

こうして、図 25 に示すように、指示されたすべての部品が領域表示される。図 25 では、基準部品の周囲に沿って 4 つの部品領域 1901、1902、1903、および 1904 が表示されている。

【0069】

この例では、基準部品の各辺に対して 1 つの矩形の部品領域を生成しているが、これらの領域をつなげて 1 つの部品領域として表示することも可能である。この場合、図 26 に示すような部品領域 1905 が表示される。

【0070】

以上説明した実施形態では、部品の外接矩形を部品外形として用いているが、他の任意の形状（多角形等）を部品外形として用いることも可能である。また、本発明の電子回路設計方法は、大規模集積回路、マルチチップモジュール、プリント回路基板等の様々な回路設計に適用することができる。

【0071】

（付記 1） 画面上で電子回路の設計を行う電子回路設計装置であって、各部品の外形情報を格納する格納手段と、
前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示する指示手段と、

前記複数の部品の外形情報を前記格納手段から取得し、取得した外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算する計算手段と、

計算された部品領域の外形を前記画面上に表示する表示手段とを備えることを特徴とする電子回路設計装置。

【 0 0 7 2 】

(付記 2) 画面上で電子回路の設計を行うコンピュータのためのプログラムであって、

前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示し、

前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、

計算された部品領域の外形を前記画面上に表示する処理を前記コンピュータに実行させることを特徴とするプログラム。

【 0 0 7 3 】

(付記 3) 画面上で電子回路の設計を行うコンピュータのためのプログラムを記録した記録媒体であって、該プログラムは、

前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示し、

前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、

計算された部品領域の外形を前記画面上に表示する処理を前記コンピュータに実行させることを特徴とするコンピュータ読み取り可能な記録媒体。

【 0 0 7 4 】

(付記 4) 前記プログラムは、変形すべき部品領域を指示し、指示された部品領域を変形して表示する処理を、前記コンピュータにさらに実行させることを特徴とする付記 3 記載の記録媒体。

【 0 0 7 5 】

(付記5) 前記プログラムは、属性情報を設定すべき部品領域を指示し、指示された部品領域に含まれる各部品の属性情報を設定する処理を、前記コンピュータにさらに実行させることを特徴とする付記3記載の記録媒体。

【0076】

(付記6) 前記プログラムは、前記電子回路内に別々に配置された複数の部品を指示し、指示された複数の部品をまとめて部品領域として表示する処理を、前記コンピュータにさらに実行させることを特徴とする付記3記載の記録媒体。

【0077】

(付記7) 前記プログラムは、分割すべき部品領域を指示し、指示された部品領域に含まれる複数の部品のうち指示された1つ以上の部品を別々に表示し、残りの部品をまとめて部品領域として表示する処理を、前記コンピュータにさらに実行させることを特徴とする付記3記載の記録媒体。

【0078】

(付記8) 前記プログラムは、分割すべき部品領域を指示し、指示された部品領域を複数の部品領域に分割して表示する処理を、前記コンピュータにさらに実行させることを特徴とする付記3記載の記録媒体。

【0079】

(付記9) 前記プログラムは、統合すべき複数の部品領域を指示し、指示された複数の部品領域を結合して1つの部品領域として表示する処理を、前記コンピュータにさらに実行させることを特徴とする付記3記載の記録媒体。

【0080】

(付記10) 前記プログラムは、基準部品を指示する処理を前記コンピュータにさらに実行させ、該コンピュータは、指示された基準部品と前記複数の部品との相対的な位置関係を考慮して前記部品領域の外形を計算することを特徴とする付記3記載の記録媒体。

【0081】

(付記11) 画面上で電子回路の設計を行うコンピュータのためのプログラムを搬送する搬送信号であって、該プログラムは、

前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔

を指示し、

前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、

計算された部品領域の外形を前記画面上に表示する
処理を前記コンピュータに実行させることを特徴とする搬送信号。

【0 0 8 2】

(付記 1 2) 画面上で電子回路の設計を行う電子回路設計方法であって、
前記電子回路内にまとめて配置すべき複数の部品と、該複数の部品の配置間隔を指示し、

前記複数の部品の外形情報と指示された配置間隔を用いて、該複数の部品をまとめて配置する部品領域の外形を計算し、

計算された部品領域の外形を前記画面上に表示する
ことを特徴とする電子回路設計方法。

【0 0 8 3】

【発明の効果】

本発明によれば、電子回路設計の上流段階での概略配置検討において、部品の概略サイズや配置間隔を考慮して、複数の部品を 1 つの領域として配置することが可能となる。これにより、個々に部品を配置することなく、配置すべき部品のおよその配置位置および占有面積の把握が可能となり、概略部品配置の検討期間を短縮することができる。

【0 0 8 4】

また、他の部品との相対的な位置関係を考慮した領域の生成や、領域の変形、結合、および分割を行う機能を設けることで、領域を用いた部品配置検討を効果的に行うことができる。

【0 0 8 5】

さらに、領域に対して部品の特性値等の属性情報を持たせることにより、設計制約条件の検討に有効な方法の 1 つである、伝送波形、電波、熱、コスト等のシミュレーションを行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の電子回路設計装置の原理図である。

【図 2】

コンピュータシステムを示す図である。

【図 3】

コンピュータシステムの本体部の構成図である。

【図 4】

ソフトウェアの構成図である。

【図 5】

領域を用いない部品配置を説明する図である。

【図 6】

領域を用いた部品配置を説明する図である。

【図 7】

領域配置処理のフローチャートである。

【図 8】

領域の変形を説明する図である。

【図 9】

領域変形処理のフローチャートである。

【図 1 0】

部品領域の属性を示す図である。

【図 1 1】

属性設定処理のフローチャートである。

【図 1 2】

第 1 の分割表示を説明する図である。

【図 1 3】

第 1 の領域分割処理のフローチャートである。

【図 1 4】

指示された部品の領域表示を説明する図である。

【図 1 5】

指示された部品を領域表示する処理のフローチャートである。

【図 1 6】

第 2 の分割表示を説明する図である。

【図 1 7】

第 2 の領域分割処理のフローチャートである。

【図 1 8】

複数の領域の結合表示を説明する図である。

【図 1 9】

領域結合処理のフローチャートである。

【図 2 0】

領域表示すべき部品を示す図である。

【図 2 1】

基準部品を示す図である。

【図 2 2】

初期条件を示す図である。

【図 2 3】

第 1 の領域表示を示す図である。

【図 2 4】

第 2 の領域表示を示す図である。

【図 2 5】

第 3 の領域表示を示す図である。

【図 2 6】

第 4 の領域表示を示す図である。

【図 2 7】

部品の周囲に領域を表示する処理のフローチャートである。

【符号の説明】

- 1 1 格納手段
- 1 2 指示手段
- 1 3 計算手段

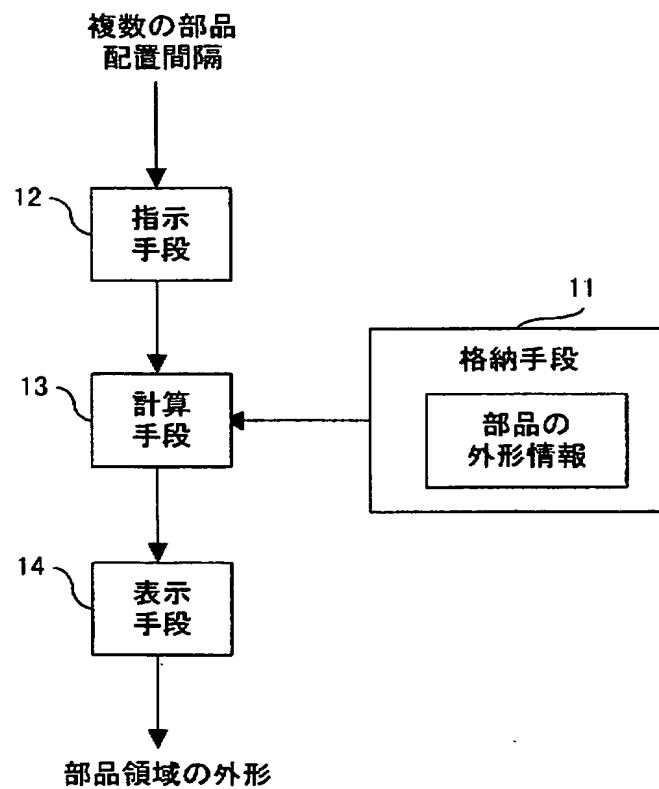
- 1 4 表示手段
 - 1 0 0 コンピュータシステム
 - 1 0 1 本体部
 - 1 0 2 ディスプレイ
 - 1 0 2 a 表示画面
 - 1 0 3 キーボード
 - 1 0 4 マウス
 - 1 0 5 モデム
 - 1 1 0 ディスク
 - 2 0 0 バス
 - 2 0 1 C P U
 - 2 0 2 メモリ部
 - 2 0 3 ディスクドライブ
 - 2 0 4 ハードディスクドライブ
 - 3 0 1 概略フロアプランナ
 - 3 0 2 回路エディタ
 - 3 0 3 配置・配線エディタ
 - 3 0 4 概略配置・配線情報
 - 3 1 1、3 1 3 回路情報
 - 3 1 2、3 1 4 設計制約条件
 - 4 0 1、5 0 1 基板外形
 - 4 0 2、5 0 2、1 1 0 2、1 3 0 1 部品外形
 - 7 0 1、7 0 2、1 1 0 1、1 3 0 2、1 5 0 1、1 5 0 2、1 5 0 3、1 7 0 1、1 7 0 2、1 7 0 3、1 9 0 1、1 9 0 2、1 9 0 3、1 9 0 4、1 9 0
- 5 部品領域

【書類名】

図面

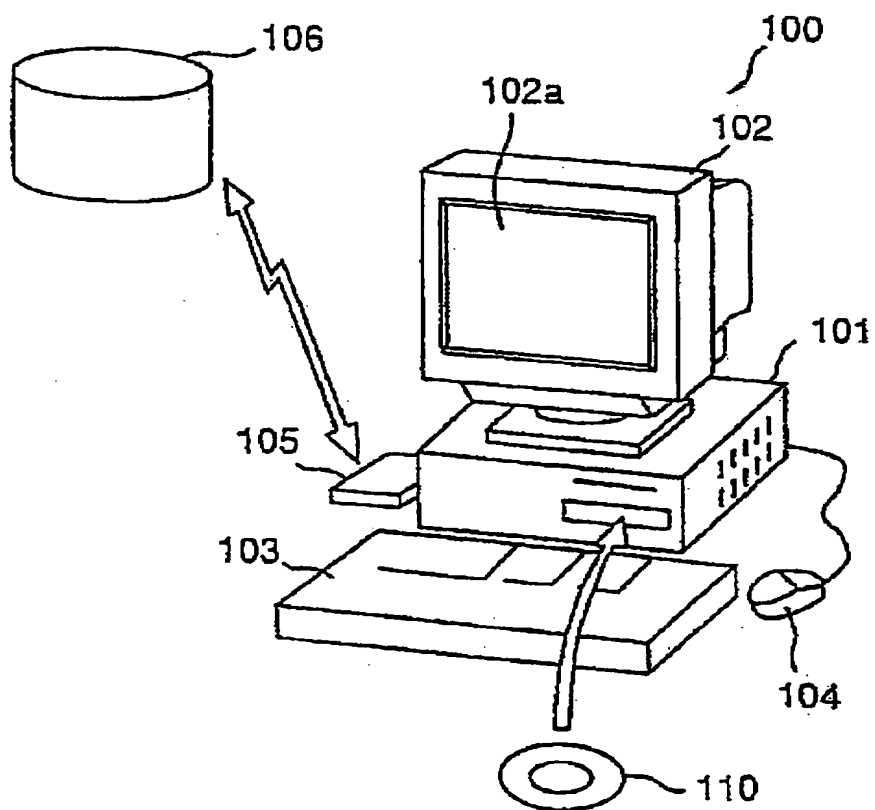
【図 1】

本発明の電子回路設計装置の原理図



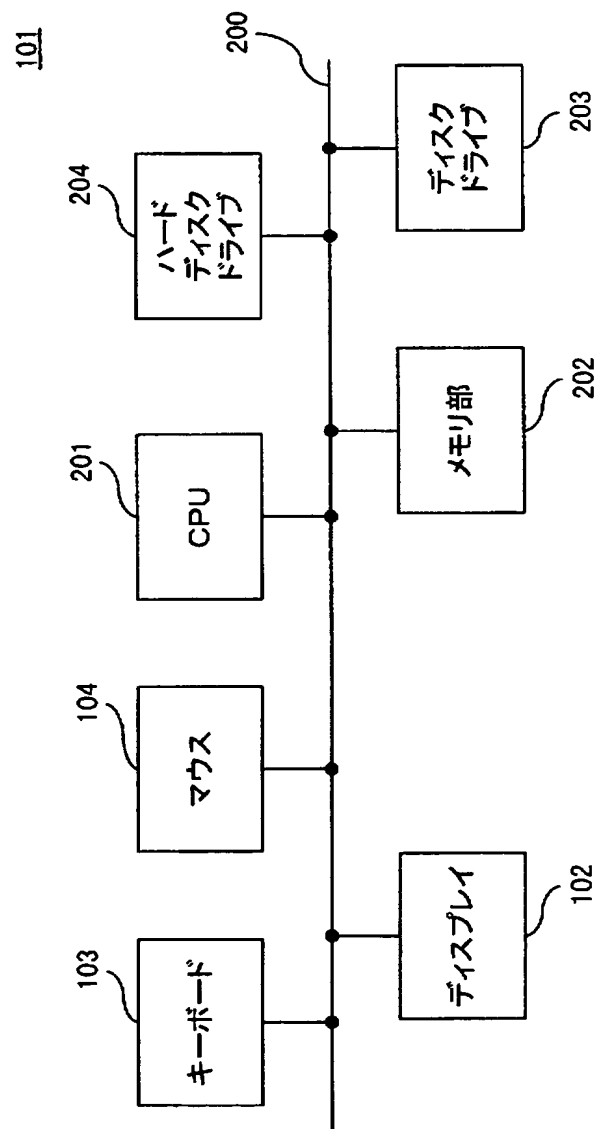
【図 2】

コンピュータシステムを示す図



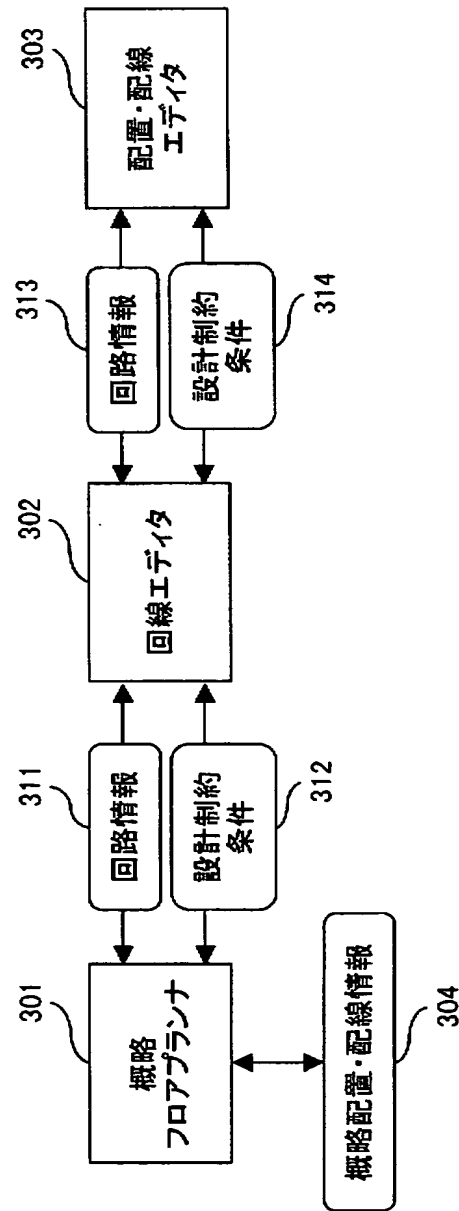
【図 3】

コンピュータシステムの本体部の構成図



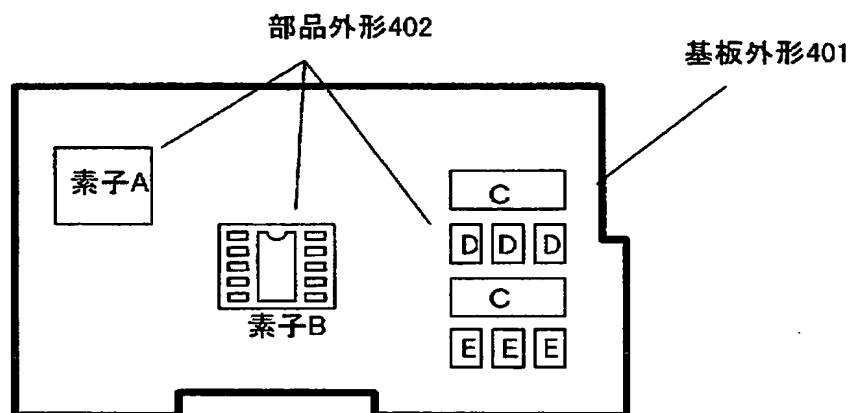
【図 4】

ソフトウェアの構成図



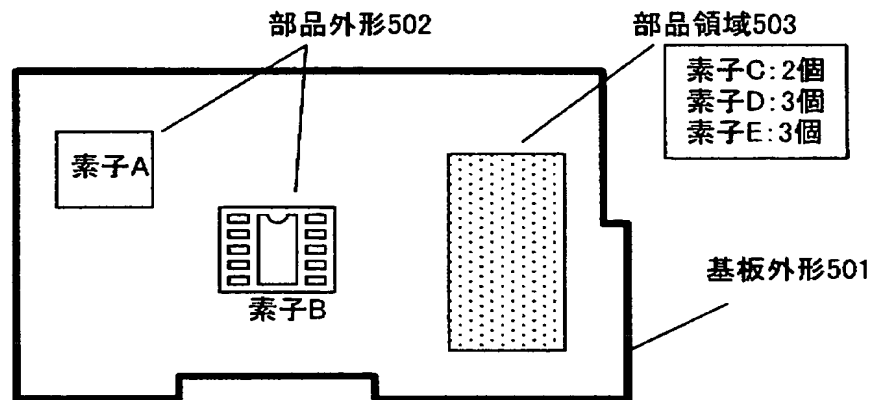
【図 5】

領域を用いない部品配置を説明する図



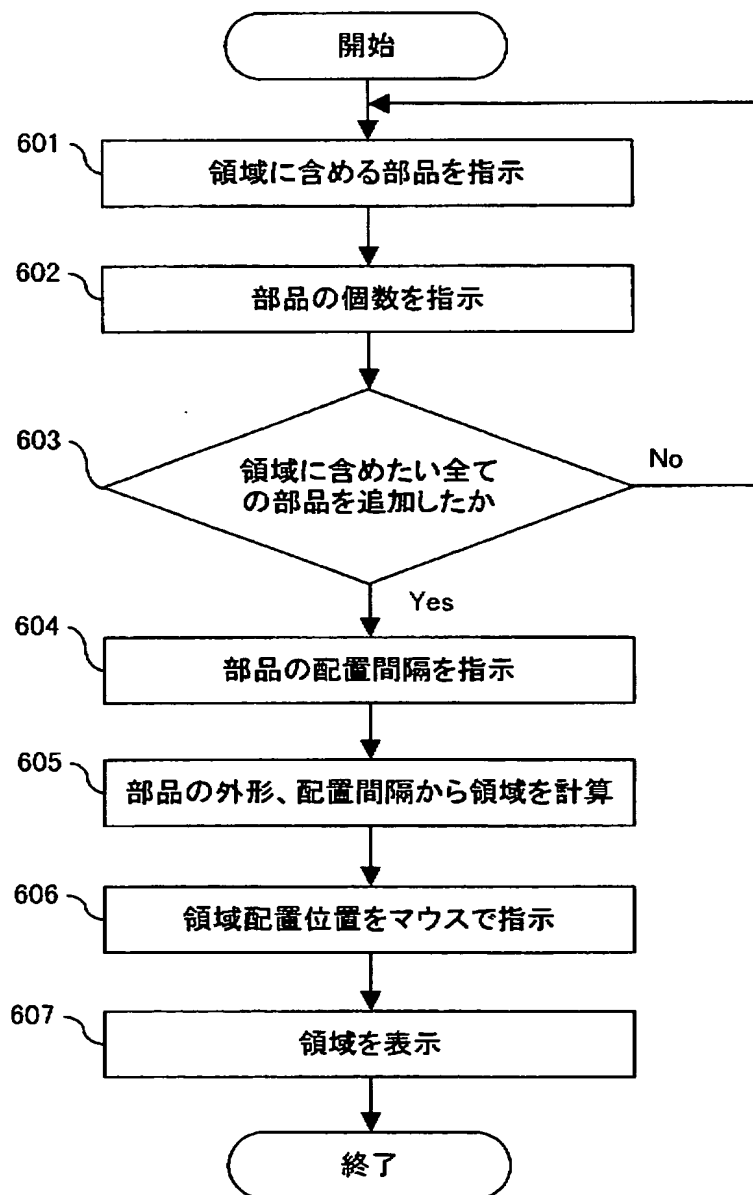
【図 6】

領域を用いた部品配置を説明する図



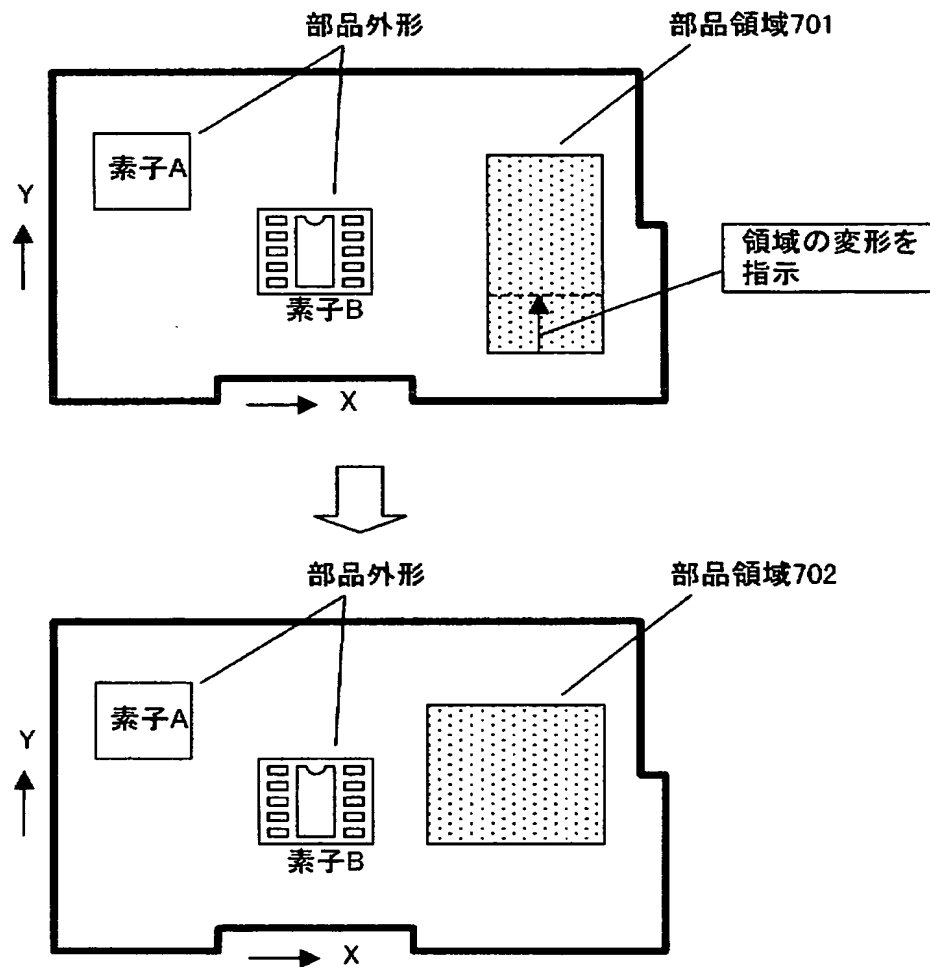
【図 7】

領域配置処理のフローチャート



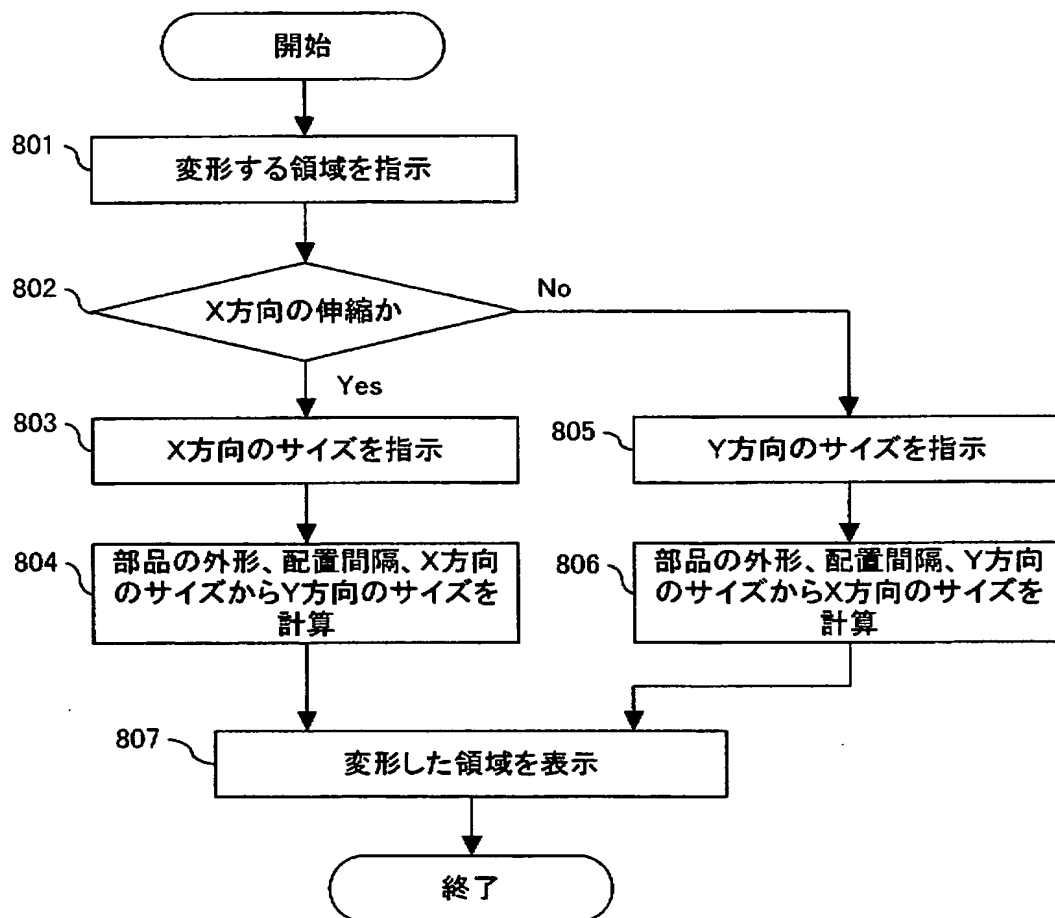
【図 8】

領域の変形を説明する図



【図 9】

領域変形処理のフローチャート



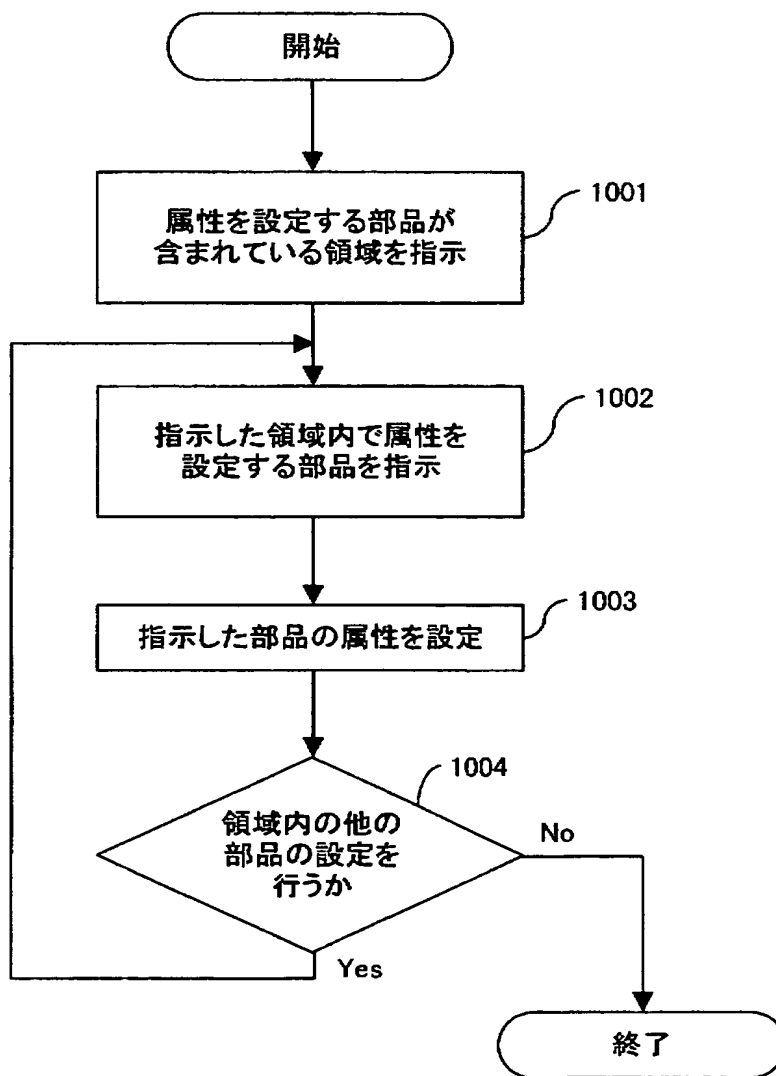
【図 1 0】

部品領域の属性を示す図

素子	部品の種類	特性値
素子C	コンデンサ	10pF
素子D	コンデンサ	100pF
素子E	コンデンサ	50pF

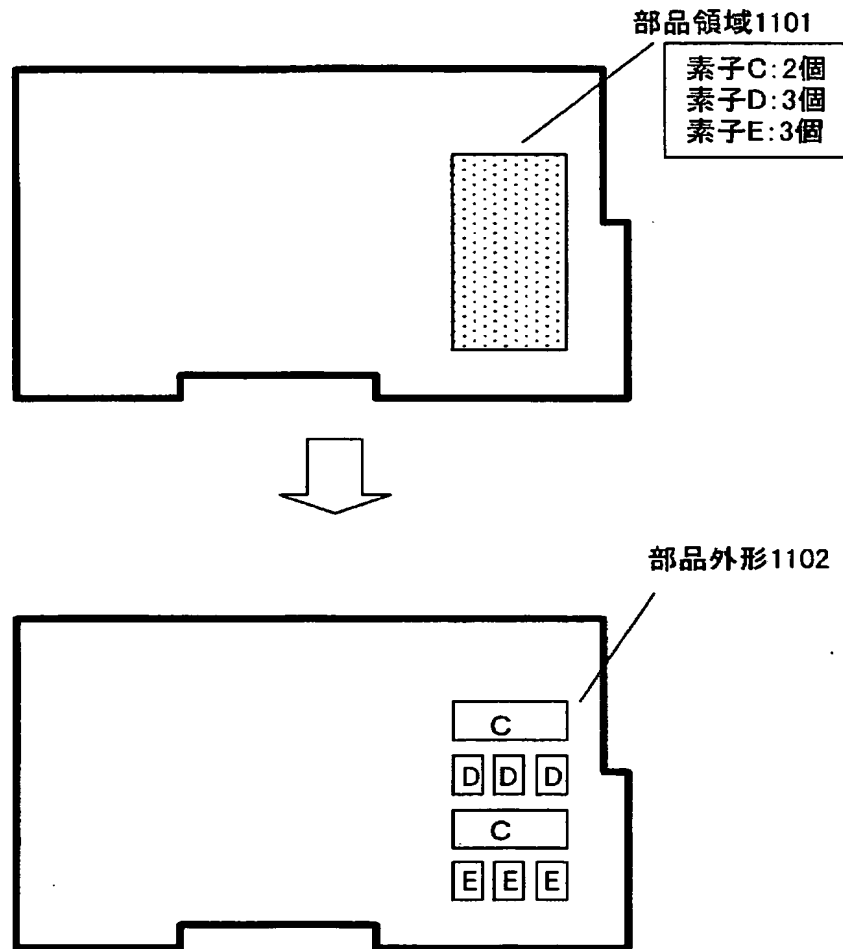
【図 11】

属性設定処理のフローチャート



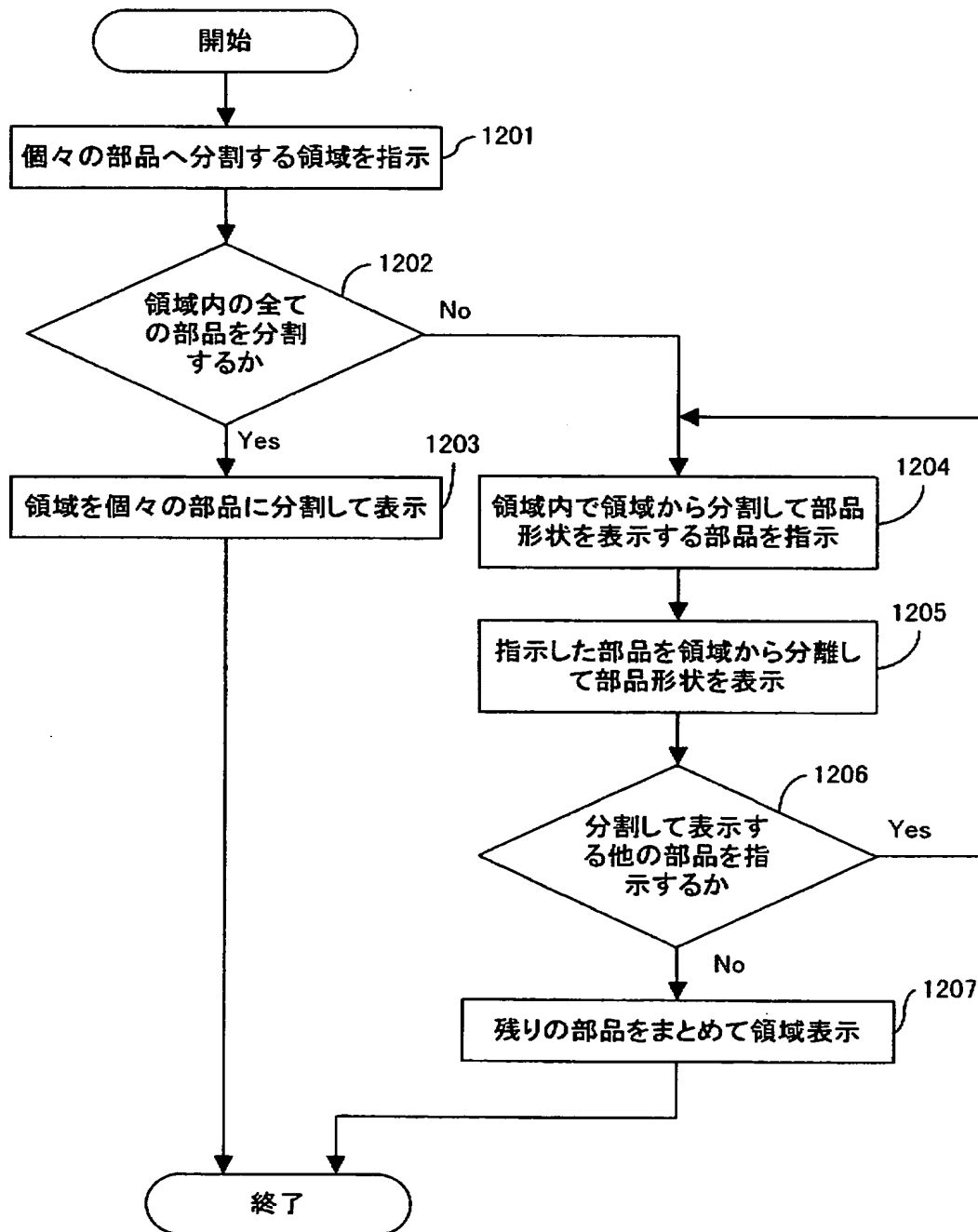
【図 12】

第1の分割表示を説明する図



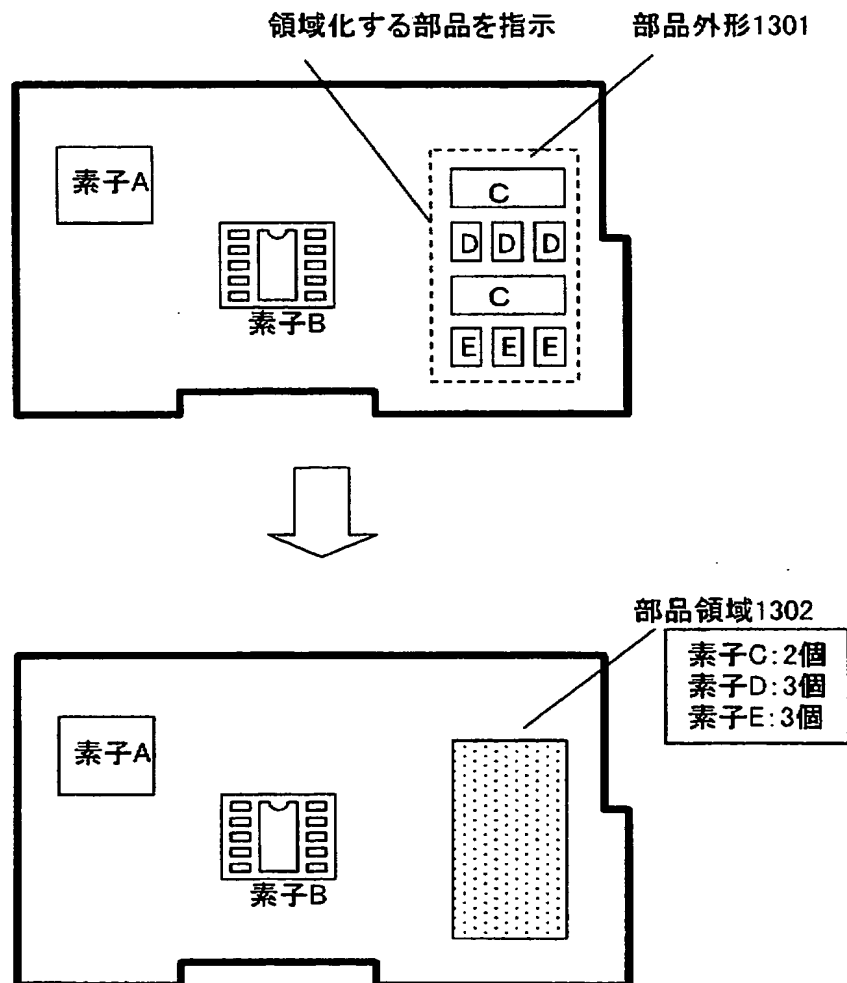
【図 13】

第1の領域分割処理のフローチャート



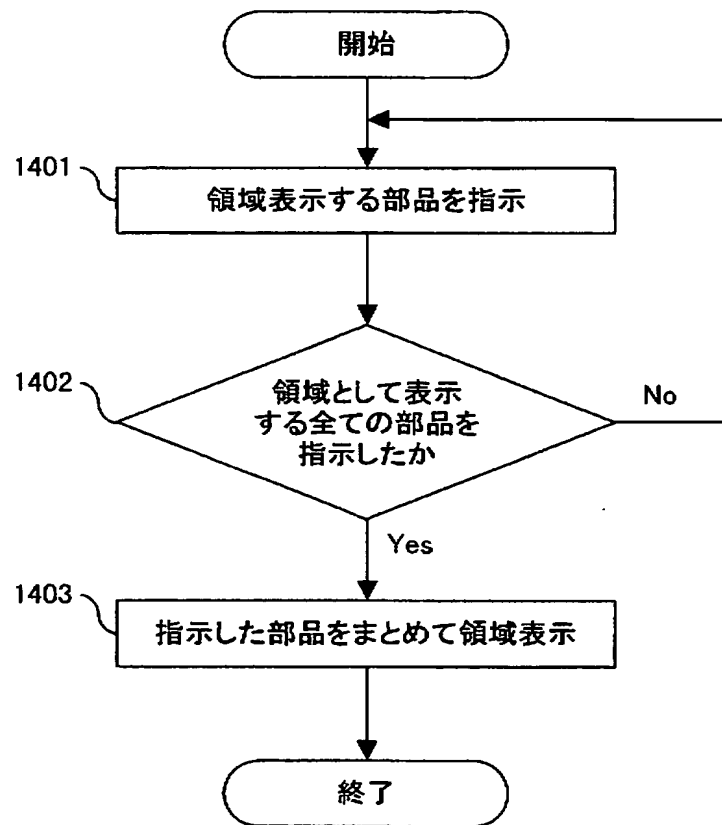
【図 14】

指示された部品の領域表示を説明する図



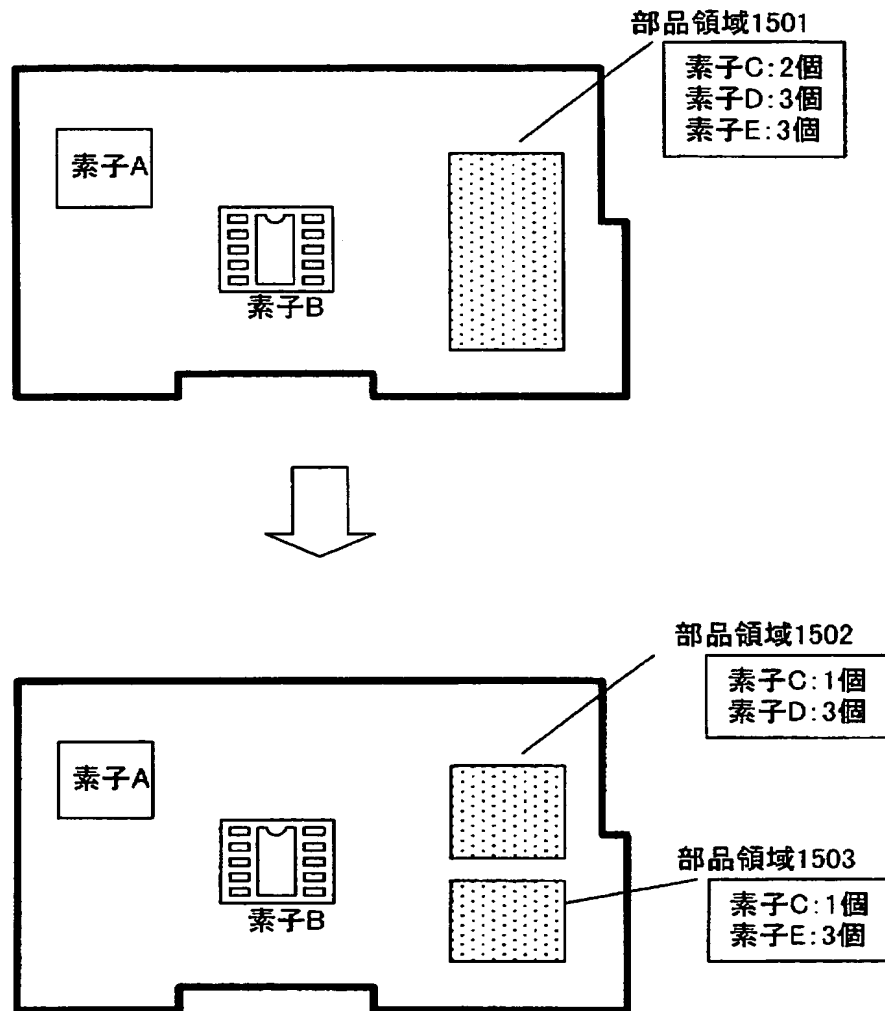
【図 15】

指示された部品を領域表示する処理のフローチャート



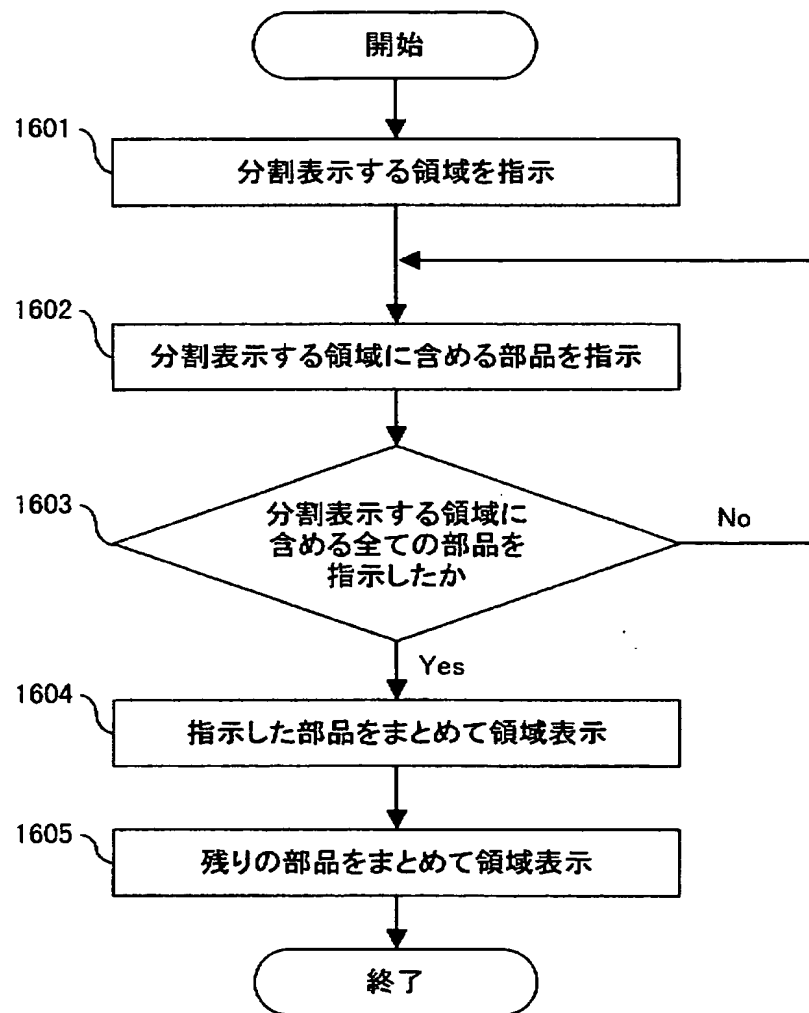
【図 16】

第2の分割表示を説明する図



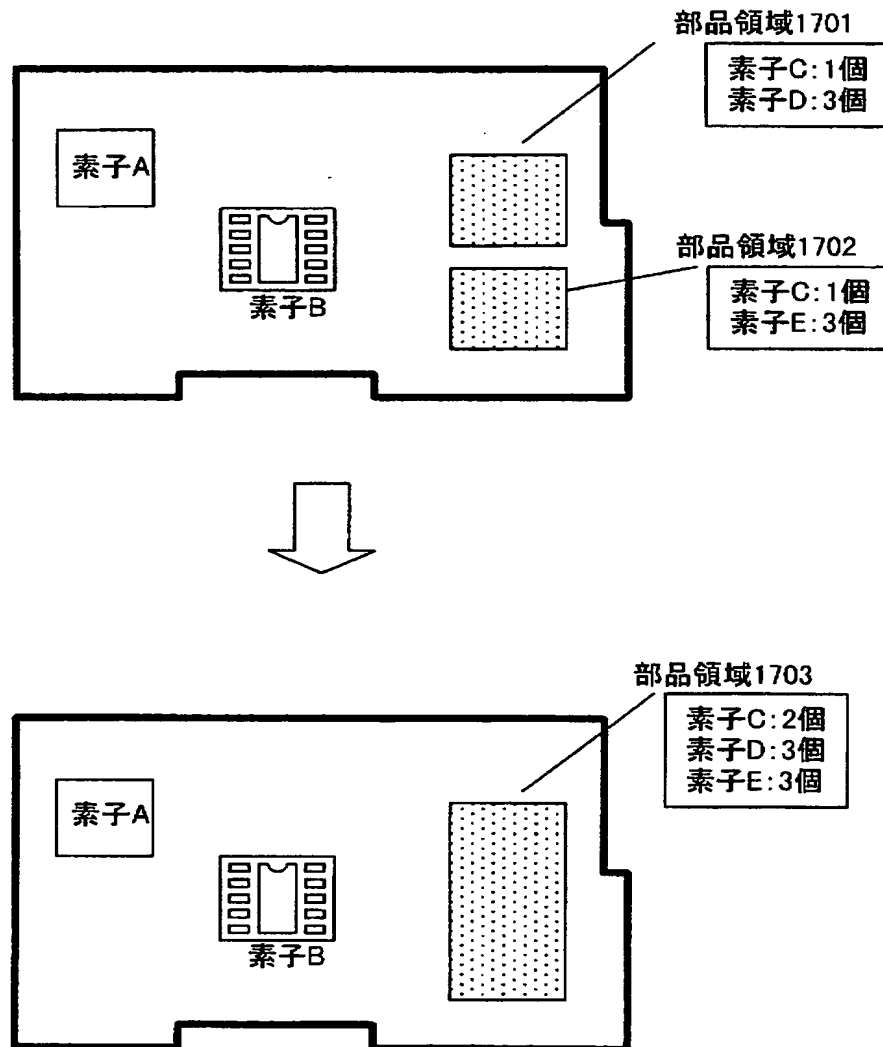
【図 17】

第2の領域分割処理のフローチャート



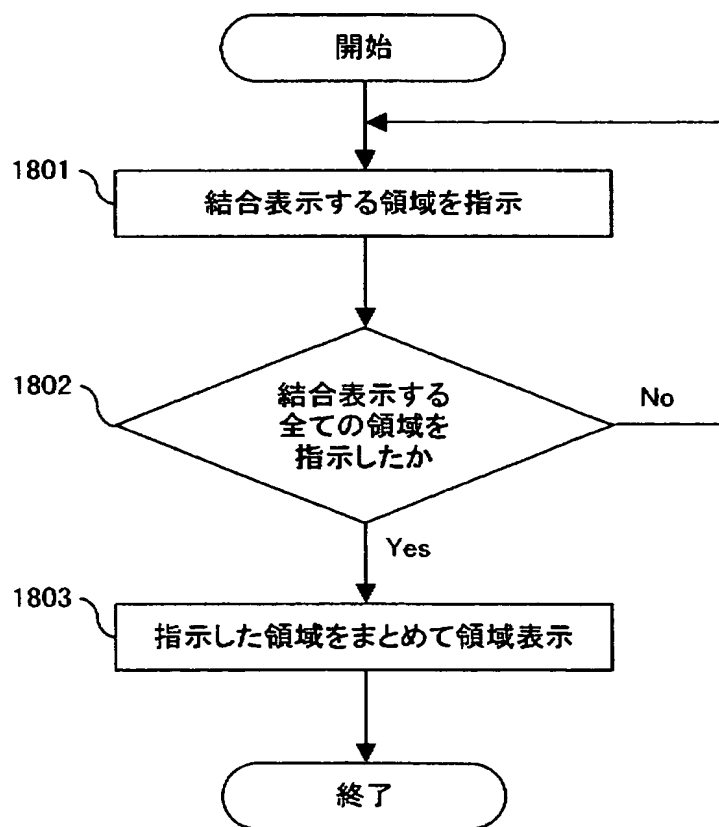
【図 18】

複数の領域の結合表示を説明する図



【図 19】

領域結合処理のフローチャート



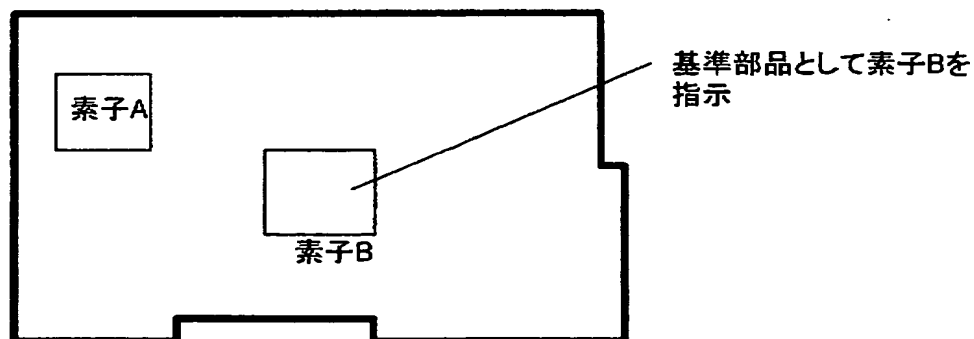
【図 20】

領域表示すべき部品を示す図



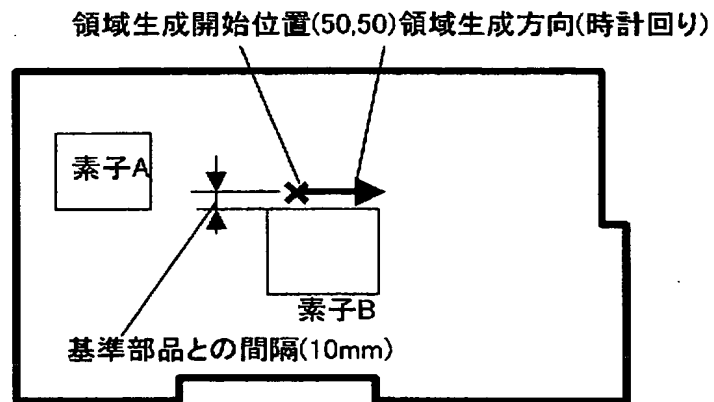
【図 21】

基準部品を示す図



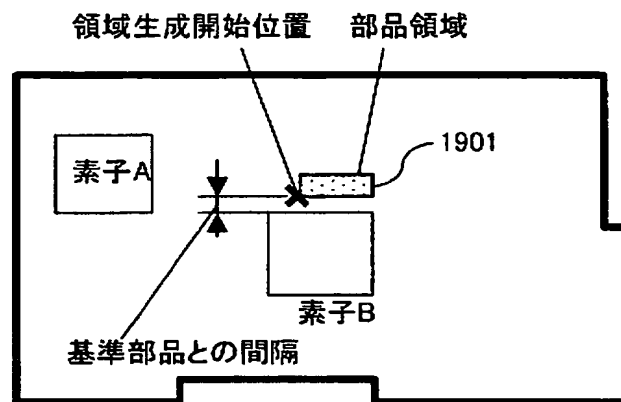
【図 22】

初期条件を示す図



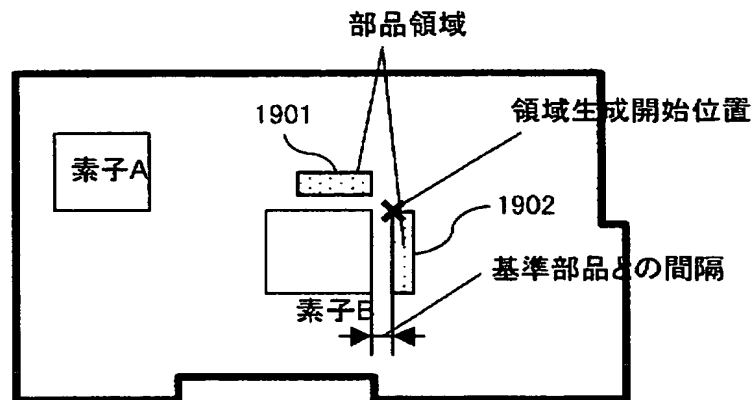
【図 23】

第1の領域表示を示す図



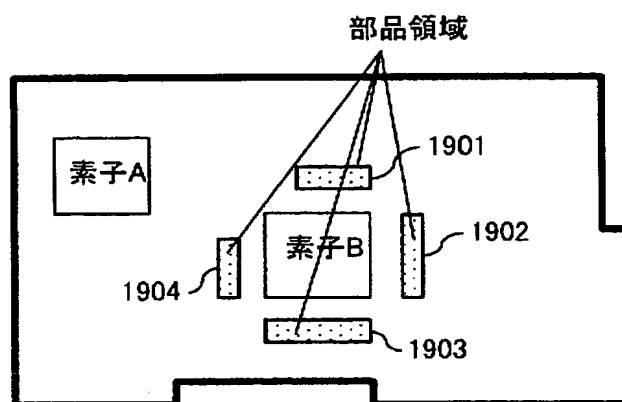
【図 24】

第2の領域表示を示す図



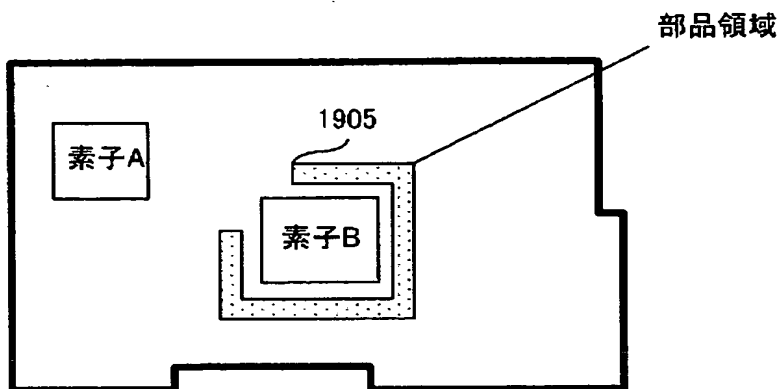
【図 25】

第3の領域表示を示す図



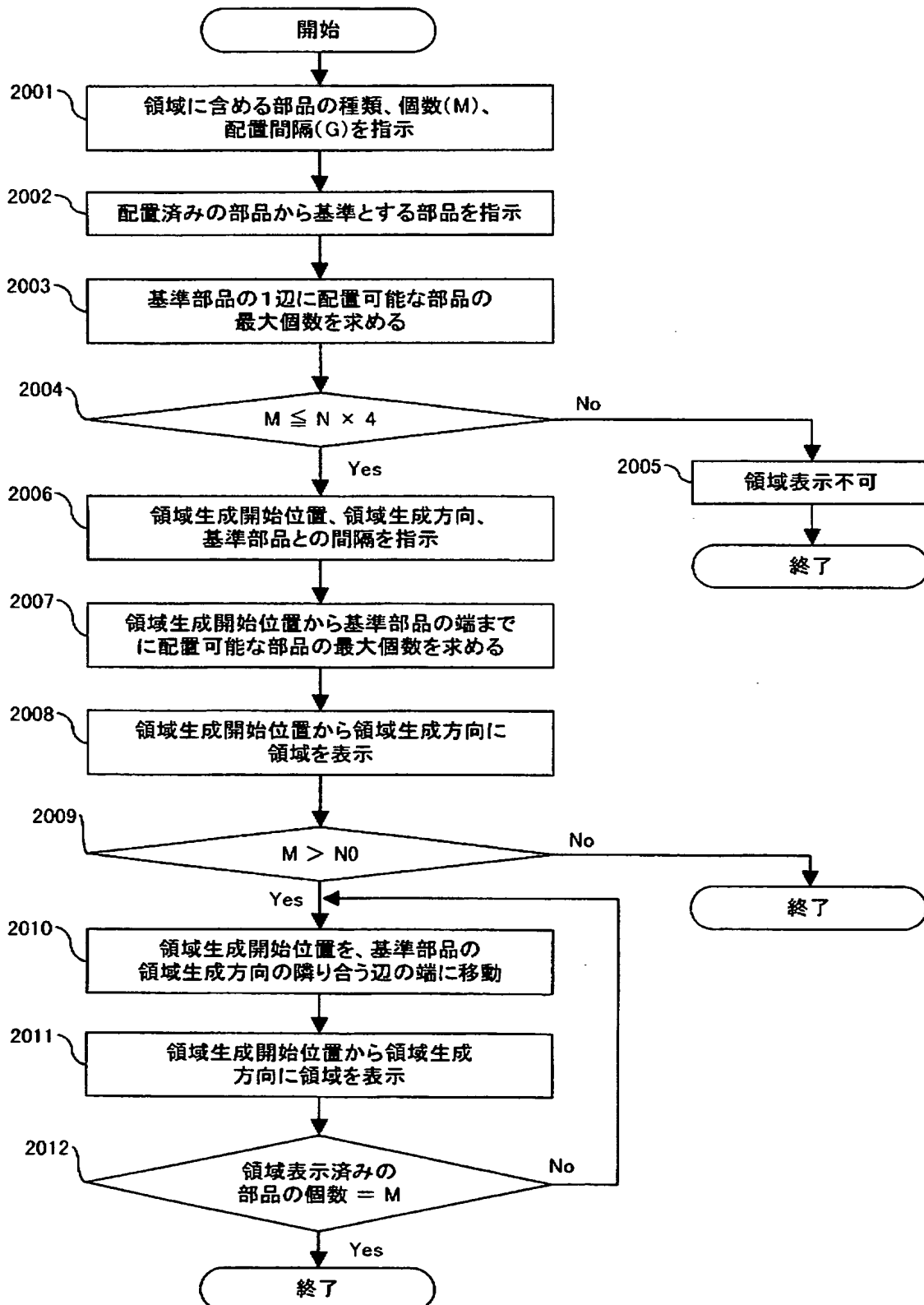
【図 26】

第4の領域表示を示す図



【図 27】

部品の周囲に領域を表示する処理のフローチャート



【書類名】 要約書

【要約】

【課題】 電子回路における概略部品配置の検討期間を短縮する。

【解決手段】 画面上で基板外形 5 0 1 により表される電子回路内において概略部品配置を行う際に、素子 C、D、および E のような複数の部品の概略サイズや配置間隔を考慮して、これらの部品をまとめて 1 つの部品領域 5 0 3 として配置する。

【選択図】 図 6

特願 2 0 0 3 - 0 9 5 7 2 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社